


SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

Patent number: JP2000307083
Publication date: 2000-11-02
Inventor: IJIMA SHINPEI; KUNITOMO MASATO
Applicant: HITACHI LTD
Classification:
- International: H01L27/108; H01L21/8242; H01L29/78
- european:
Application number: JP19990115135 19990422
Priority number(s):

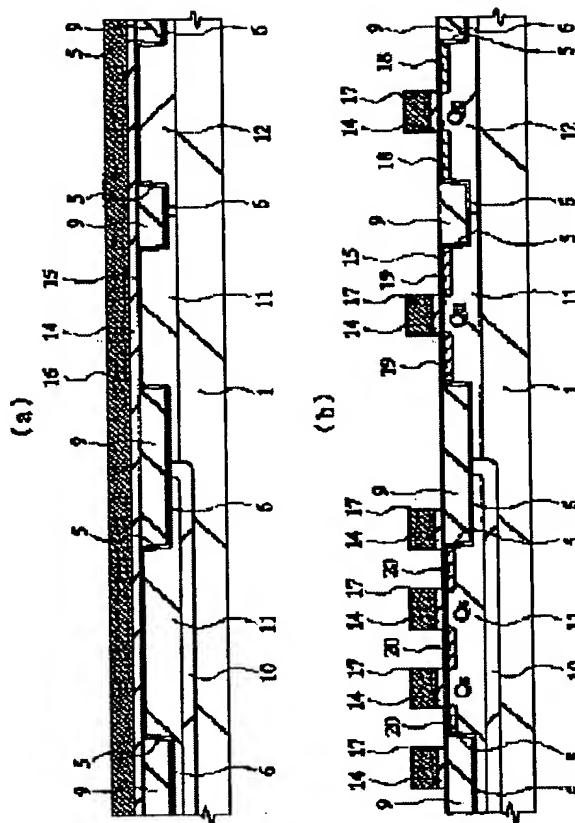
Also published as:

 JP2000307083 (A)

Abstract of JP2000307083

PROBLEM TO BE SOLVED: To enable a gate insulating film to be lessened in thickness as required and improve in reliability.

SOLUTION: An amorphous tantalum oxide film of thickness 10 nm or so is deposited on the primary surface of a semiconductor substrate 1 where an element isolation structure 9, an N-type semiconductor region 10, an N-type well 12, and a P-type well 11 are formed, and the semiconductor substrate 1 is thermally treated in an oxidizing atmosphere at a temperature of 800 deg.C for three minutes. The amorphous tantalum oxide film 14 is turned to a polycrystalline tantalum oxide film 14, and a silicon oxide film 15 is formed between the polycrystalline tantalum oxide film 14 and the semiconductor substrate (P-type well 11 and an N-well 12). Furthermore, a tungsten film 16 is deposited on the tantalum oxide film 14. The tungsten film 16 and the polycrystalline tantalum film 14 are patterned into a gate electrode 17 and a gate insulating film composed of the tantalum oxide film 14 and the silicon oxide film 15.



Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-307083

(P2000-307083A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl.

識別記号

F I

テ-マ-ト(参考)

H 0 1 L 27/108
21/8242
29/78

H 0 1 L 27/10

6 7 1 Z 5 F 0 4 0

6 2 1 C 5 F 0 8 3

6 8 1 F

29/78

3 0 1 G

審査請求 未請求 請求項の数14 O L (全 21 頁)

(21)出願番号

特願平11-115135

(22)出願日

平成11年4月22日(1999.4.22)

(71)出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者

飯島 晋平

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者

國友 正人

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74)代理人

100080001

弁理士 筒井 大和

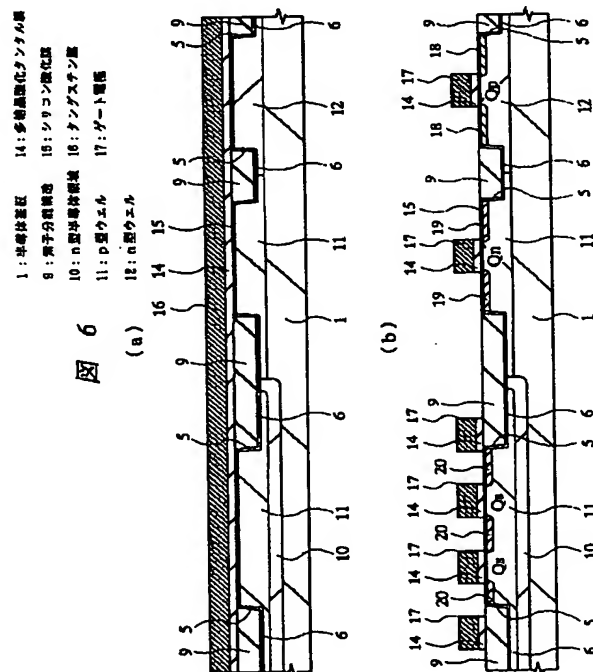
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 ゲート絶縁膜の薄膜化要求を満足し、その信頼性を高める。

【解決手段】 素子分離構造9、n型半導体領域10、n型ウェル12およびp型ウェル11が形成された半導体基板1の主面上に、約10nmの膜厚の非晶質の酸化タンタル膜を堆積し、これをたとえば酸化性雰囲気において800℃、3分間の熱処理を行う。これにより非晶質の酸化タンタル膜を多結晶酸化タンタル膜14に変化させ、同時に、多結晶酸化タンタル膜14と半導体基板(p型ウェル11およびn型ウェル12)との間にシリコン酸化膜15を形成する。さらに多結晶酸化タンタル膜14上にタングステン膜16を堆積する。タングステン膜16および多結晶酸化タンタル膜14をパターンニングしてゲート電極17および多結晶酸化タンタル膜14とシリコン酸化膜15とからなるゲート絶縁膜を形成する。



【特許請求の範囲】

【請求項1】 半導体基板の主面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記主面上に形成されたゲート電極と、前記ゲート電極の下方に位置する前記半導体基板のチャネル領域と、前記チャネル領域を挟んで形成された一対の半導体領域とを有するMISFETを含む半導体装置であって、

前記ゲート絶縁膜は、前記主面側に位置する第1絶縁膜と、前記第1絶縁膜およびゲート電極間に位置する第2絶縁膜とを含み、前記第1絶縁膜が、シリコン酸化膜またはシリコン窒化膜であり、前記第2絶縁膜が、多結晶酸化タンタル膜であることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記第2絶縁膜が、2層以上の複数層で構成される多結晶酸化タンタル膜であることを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置であって、前記第2絶縁膜は、前記第1絶縁膜側に位置する下層膜と、前記ゲート電極側に位置する上層膜とからなり、前記下層膜の膜厚が前記上層膜の膜厚よりも薄い第1の構成、または、前記下層膜の誘電率が前記上層膜の誘電率よりも低い第2の構成、の何れかの構成を有することを特徴とする半導体装置。

【請求項4】 請求項1～3の何れか一項に記載の半導体装置であって、前記ゲート電極は、金属または金属化合物であることを特徴とする半導体装置。

【請求項5】 第1実効膜厚の第1ゲート絶縁膜を有する第1MISFETと、前記第1実効膜厚よりも薄い第2実効膜厚の第2ゲート絶縁膜を有する第2MISFETとを同一の半導体基板の主面に有する半導体装置であって、

前記第1および第2ゲート絶縁膜は、前記主面側に位置する第1絶縁膜と前記第1絶縁膜およびゲート電極間に位置する第2絶縁膜とを各々含み、前記第1絶縁膜がシリコン酸化膜またはシリコン窒化膜であり、前記第2絶縁膜が多結晶酸化タンタル膜であることを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置であって、前記第1ゲート絶縁膜の第1絶縁膜が前記第2ゲート絶縁膜の第1絶縁膜よりも厚く、前記第1ゲート絶縁膜の第2絶縁膜と前記第2ゲート絶縁膜の第2絶縁膜とが同一の膜厚を有する第1の構成、

前記第1ゲート絶縁膜の第1絶縁膜の誘電率が前記第2ゲート絶縁膜の第1絶縁膜の誘電率よりも低く、前記第1ゲート絶縁膜の第2絶縁膜と前記第2ゲート絶縁膜の第2絶縁膜とが同一の膜厚を有する第2の構成、の何れかの構成を有することを特徴とする半導体装置。

【請求項7】 請求項5または6記載の半導体装置であって、前記第1ゲート絶縁膜の第2絶縁膜が(N+1)層で構

成され、前記第2ゲート絶縁膜の第2絶縁膜がN層(但し、Nは1以上の整数である。)で構成されていることを特徴とする半導体装置。

【請求項8】 請求項5～7の何れか一項に記載の半導体装置であって、

前記第1MISFETはDRAMのメモリセル選択用のMISFETであり、前記第2MISFETは前記メモリセルの周辺に配置される周辺回路のMISFETまたは論理回路を構成するMISFETであることを特徴とする半導体装置。

【請求項9】 (a) 半導体基板の主面に非晶質酸化タンタル膜を形成する工程、

(b) 前記非晶質酸化タンタル膜に酸化性雰囲気における熱処理を施して、前記非晶質酸化タンタル膜を多結晶酸化タンタル膜に転換し、前記半導体基板の主面と、前記多結晶酸化タンタル膜との界面にシリコン酸化膜を形成する工程、

(c) 前記半導体基板上に金属膜または金属化合物膜を形成する工程、

(d) 前記金属膜または金属化合物膜をパターニングしてゲート電極を形成する工程、を含むことを特徴とする半導体装置の製造方法。

【請求項10】 (a) 半導体基板の主面にシリコン窒化膜またはシリコン酸化膜を形成する工程、

(b) 前記シリコン窒化膜またはシリコン酸化膜上に非晶質酸化タンタル膜を形成する工程、

(c) 前記非晶質酸化タンタル膜に酸化性雰囲気における熱処理を施して、前記非晶質酸化タンタル膜を多結晶酸化タンタル膜に転換する工程、

(d) 前記半導体基板上に金属膜または金属化合物膜を形成する工程、

(e) 前記金属膜または金属化合物膜をパターニングしてゲート電極を形成する工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項11】 (a) 半導体基板の主面の第1領域および第2領域にシリコン窒化膜またはシリコン酸化膜からなる第1絶縁膜を形成する工程、

(b) 前記第2領域の前記第1絶縁膜を除去する工程、

(c) 前記第2領域にシリコン窒化膜またはシリコン酸化膜からなる第2絶縁膜を形成する工程、

(d) 前記第1および第2絶縁膜上に非晶質酸化タンタル膜を形成する工程、

(e) 前記非晶質酸化タンタル膜に酸化性雰囲気における熱処理を施して、前記非晶質酸化タンタル膜を多結晶酸化タンタル膜に転換する工程、

(f) 前記半導体基板上に金属膜または金属化合物膜を形成する工程、

(g) 前記金属膜または金属化合物膜をパターニングして、前記第1領域に第1MISFETのゲート電極を形成し、前記第2領域に第2MISFETのゲート電極を

形成する工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項12】 (a) 半導体基板の主面の第1領域および第2領域にシリコン窒化膜またはシリコン酸化膜からなる第1絶縁膜を形成する工程、

(b) 前記半導体基板上に非晶質酸化タンタル膜を形成し、前記非晶質酸化タンタル膜に酸化性雰囲気における熱処理を施して第1多結晶酸化タンタル膜を形成する工程、

(c) 前記第2領域の前記第1絶縁膜および第1多結晶酸化タンタル膜を除去する工程、

(d) 前記第2領域にシリコン窒化膜またはシリコン酸化膜からなる第2絶縁膜を形成する工程、

(e) 前記半導体基板上に非晶質酸化タンタル膜を形成し、前記非晶質酸化タンタル膜に酸化性雰囲気における熱処理を施して、第2多結晶酸化タンタル膜を形成する工程、

(f) 前記半導体基板上に金属膜または金属化合物膜を形成する工程、

(g) 前記金属膜または金属化合物膜をパターンニングして、前記第1領域に第1MISFETのゲート電極を形成し、前記第2領域に第2MISFETのゲート電極を形成する工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項13】 請求項9～12の何れか一項に記載の半導体装置の製造方法であって、さらに、前記多結晶酸化タンタル膜または第2多結晶酸化タンタル膜上に、第3の多結晶酸化タンタル膜を形成する工程を含み、前記金属膜または金属化合物膜を前記第3の多結晶酸化タンタル膜上に形成することを特徴とする半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法であって、

前記第3の多結晶酸化タンタル膜を形成するための熱処理は、前記多結晶酸化タンタル膜または第2多結晶酸化タンタル膜を形成するための熱処理よりも低温度または短時間で行われることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、高性能なMISFET (Metal Insulator Semiconductor Field Effect Transistor) に適用して有効な技術に関するものである。

【0002】

【従来の技術】たとえば、特開平11-26712号公報、特開平11-26713号公報に記載されているように、MISFETに用いられるゲート電極およびゲート絶縁膜としては、従来、多結晶シリコン膜およびシリコン酸化膜が多く用いられている。これは、多結晶シリ

コン膜およびシリコン酸化膜の製造容易性および加工容易性に加えて、シリコン酸化膜の高信頼性および良好な絶縁性、低界面準位密度等の高性能な点が評価されているためである。

【0003】また、半導体装置の高性能化・高集積化に起因して、素子の加工性能に優れるデバイス構成の採用が要請される。たとえば、前記公報には、浅溝内に絶縁膜が埋め込まれた構造の浅溝素子分離構造が開示されている。このような浅溝素子分離構造では半導体基板の表面が平坦化されるため、ゲート電極加工の際のリソグラフィ工程においてフォーカスマージンを増加し、より微細な高精度加工に適するようになる。

【0004】さらに、微細化の進展はMISFETのゲート絶縁膜の薄膜化を要請するが、ゲート絶縁膜の薄膜化にはゲート電極と基板間のトンネル電流の発生により自ずと限界がある。そこで、MISFETの要求性能に応じてゲート絶縁膜の膜厚の使い分けが行われる。たとえば、低電圧動作MISFETにおいては薄い膜厚のゲート絶縁膜が採用され、高電圧動作のMISFETでは厚い膜厚のゲート絶縁膜が採用される。また、たとえば、DRAM (Dynamic Random Access Memory) のメモリセル選択用のMISFETには、リフレッシュ特性の向上の観点からリーク電流の低減が望まれることから厚い膜厚のゲート絶縁膜が採用され、DRAM周辺回路のMISFETには、動作速度向上の観点からMISFETのスウィッチング特性の向上に強い要求があるため、薄い膜厚のゲート絶縁膜が採用される。このような設計上の厚さが異なる2種のゲート絶縁膜を同一基板に形成する技術については、たとえば特開平2-096378号公報または特開平2-15374号公報に記載がある。

【0005】

【発明が解決しようとする課題】しかし、前記したとおり、ゲート絶縁膜の薄膜化には自ずと限界がある。ゲート絶縁膜の材料としてシリコン酸化膜を用いれば、発明者らの検討によれば実効膜厚 (本明細書において実効膜厚とは同一のキャパシタを構成するに必要な膜厚をシリコン酸化膜に換算した場合の膜厚を言い、誘電率がシリコン酸化膜の誘電率に比して大きくなればそれに比例して膜厚も厚くなる。) が4～7nmのゲート絶縁膜が要求されており、これをシリコン酸化膜で構成した場合にはその膜厚が4～7nmとなりトンネル電流を生じる膜厚となって好ましくない。

【0006】また、前記したように、2種以上のゲート絶縁膜を用いるような大規模LSI (Large Scaled Integrated circuit) では、フォトリソグラフィ工程での加工精度を向上する観点から素子分離構造を前記したような浅溝等溝分離構造にする必要がある。このような溝分離構造においては、図18に示すように、分離構造の境界部つまり溝の肩部分で落ち込みが形成される。すなわち、溝分離構造を形成するには、図18(a)に示す

ように、半導体基板301上にシリコン酸化膜302およびシリコン窒化膜303を順次形成し、フォトリソ膜を用いてシリコン窒化膜303をパターニングする。その後、シリコン窒化膜303をマスクとしてシリコン酸化膜302および半導体基板301をエッチングして素子分離溝304を形成する。次に、半導体基板301の全面にシリコン酸化膜305を堆積する(図18(b))。このシリコン酸化膜305は図示するように素子分離溝304を埋め込むように堆積する。次に、素子分離溝304以外のシリコン酸化膜305をCMP (Chemical Mechanical Polishing) 法あるいはエッチバック法を用いて除去し、素子分離溝304内に埋め込まれたシリコン酸化膜305を残存させて素子分離領域306を形成する(図18(c))。その後、シリコン窒化膜303およびシリコン酸化膜302をエッチングして除去するが、このエッチングの際に、素子分離溝304内に埋め込まれたシリコン酸化膜305もエッチングされるため、素子分離溝304の半導体基板301主面における肩部309(境界部)に素子分離領域306の落ち込みが形成される場合がある(図18(d))。このような肩部309の落ち込みの起因してゲート絶縁膜307が薄く形成される不具合が発生する。すなわち、図18(d)に示すように、MISFETを構成するゲート絶縁膜307は、一般に熱酸化法を用いて形成されるため、肩部309の落ち込み形状に起因して肩部309におけるゲート絶縁膜307の膜厚が薄く形成される傾向にある。MISFETのゲート電極308の上層配線とのコンタクトは素子分離領域306上で形成されるのが一般的であるため、ゲート電極308はほとんどの場合肩部309(素子分離領域306と半導体基板301の活性領域との境界部)を横切ることとなり、肩部309におけるゲート絶縁膜307の薄膜化に起因してゲート電極308と半導体基板301との間にリーク電流が発生しやすく、また、ゲート絶縁膜307の耐電圧が問題となる。このようなゲート電極308と半導体基板301との間のリーク電流の増大は、半導体装置を構成するMISFETの性能低下および信頼性低下の原因となって好ましくない。

【0007】また、前記したような、2種のゲート絶縁膜を同一基板に形成する技術においては、ゲート絶縁膜の一部となる第1絶縁膜を形成後、フォトリソ膜をマスクとして第1絶縁膜の一領域(薄いゲート絶縁膜となる領域)をエッチングにより除去しなければならない。残った第1絶縁膜は、厚いゲート絶縁膜の一部となるものであり、この被膜へのレジスト膜による汚染を除去する観点から被膜の表面を洗浄し、あるいはエッチングする必要がある。このような洗浄あるいはエッチング処理は、ゲート絶縁膜の一部となる被膜の欠陥を顕在化させ、ゲート絶縁膜の信頼性を低下させる要因となる。

【0008】本発明の目的は、ゲート絶縁膜の薄膜化要

求を満足する半導体装置を提供することにある。

【0009】また、本発明の他の目的は、素子分離領域と半導体基板の活性領域との境界部でのゲート絶縁膜の耐電圧の向上と半導体装置の信頼性の向上を図る技術を提供することにある。

【0010】また、本発明の他の目的は、2種のゲート絶縁膜を同一半導体基板に有する場合、ゲート絶縁膜の信頼性を向上する技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】1. 本発明の半導体装置は、半導体基板の主面に形成されたゲート絶縁膜と、ゲート絶縁膜を介して主面上に形成されたゲート電極と、ゲート電極の下方に位置する半導体基板のチャンネル領域と、チャンネル領域を挟んで形成された一对の半導体領域とを有するMISFETを含む半導体装置であって、ゲート絶縁膜は、主面側に位置する第1絶縁膜と、第1絶縁膜およびゲート電極間に位置する第2絶縁膜とを含み、第1絶縁膜が、シリコン酸化膜またはシリコン酸窒化膜であり、第2絶縁膜が、多結晶酸化タンタル膜である。

【0014】このような半導体装置によれば、ゲート絶縁膜をシリコン酸化膜またはシリコン酸窒化膜と多結晶酸化タンタル膜との2層で構成するため、実効膜厚を下げることなくゲート絶縁膜の膜厚を増加して、ゲート電極と半導体基板との間のトンネリングを防止できる。また、多結晶酸化タンタル膜は、後述のように非晶質酸化タンタル膜のCVD法による堆積と熱処理で形成されるため、分離領域の境界部等耐電圧に問題の生じやすい部分が存在しても下地を反映して薄膜化するようなことがない。また、多結晶酸化タンタル膜はシリコン酸化膜に対して同じ性能であれば約10倍の膜厚で形成できる

(誘電率が約10倍であるため同一の実効膜厚は現実の膜厚では10倍になる)。このため、シリコン酸化膜に欠陥が存在するような場合であっても、物理的に厚い膜厚の多結晶酸化タンタル膜を形成し、リーク電流増大のバリアとすることができる。この結果、シリコン酸化膜を4nmの膜厚とすることにより顕在化してくるトンネル電流の増大を抑制して、半導体装置の性能と信頼性を向上できる。

【0015】なお、本発明では、多結晶酸化タンタル膜である第2絶縁膜の膜厚をシリコン酸化膜またはシリコン酸窒化膜である第1絶縁膜の膜厚よりも厚く構成できる。多結晶酸化タンタル膜の比誘電率は約40と大きく、これを厚くしても実効膜厚はさほど増加せず、一方、シリコン酸化膜またはシリコン酸窒化膜の比誘電率

は多結晶酸化タンタル膜と比較して小さく、この膜厚を減少することにより実効膜厚を大きく減少でき好都合である。

【0016】2. 本発明の半導体装置は、前記項1記載の半導体装置であって、第2絶縁膜が、2層以上の複数層で構成される多結晶酸化タンタル膜である。

【0017】このような半導体装置によれば、多結晶酸化タンタル膜が2層で構成されるため、多結晶酸化タンタル膜部分(第2絶縁膜)のリーク電流を低減し、耐電圧を向上できる。すなわち、リーク電流の発生あるいは耐電圧の低下は、本発明者らの検討によれば、酸化タンタル結晶の粒界部分で発生していることが多い。このような場合、結晶粒界が多結晶酸化タンタル膜の表面から裏面まで貫通しているときにはリーク電流の発生あるいは耐電圧の低下が生じやすい。しかし、本発明では多結晶酸化タンタル膜を2層で構成しているため、結晶粒界が多結晶酸化タンタル膜の表面から裏面まで貫通することはない。これによりリーク電流を低減し、耐電圧を向上できる。

【0018】また、多結晶酸化タンタル膜を2層で構成するため、下層あるいは上層の多結晶酸化タンタル膜を一層で構成する場合と比較して薄く形成することとなる。このように下層あるいは上層を薄く形成するため、結晶粒を均一にまた、粒径を小さく緻密に形成できる。このように緻密に形成された多結晶酸化タンタル膜では、粒界部分での抵抗が増大し、リーク電流の低減、耐電圧の向上ができる。また、結晶粒を均一に形成できるため多結晶酸化タンタル膜上に形成されるゲート電極と半導体基板との平行性を向上して均一なゲート電極電界を半導体基板のチャネル領域に及ぼして、MISFETの動作ばらつきを軽減できる。

【0019】3. 本発明の半導体装置は、前記項2記載の半導体装置であって、第2絶縁膜は、第1絶縁膜側に位置する下層膜と、ゲート電極側に位置する上層膜とからなり、下層膜の膜厚が上層膜の膜厚よりも薄いもの、または、下層膜の誘電率が上層膜の誘電率よりも低いものである。

【0020】このような半導体装置は、後に説明するように、下層の多結晶酸化タンタル膜を薄く形成することにより低温度あるいは短時間の熱処理で良好な多結晶酸化タンタル膜を形成でき、また、下層の多結晶酸化タンタル膜を低温度あるいは短時間の熱処理で形成することにより誘電率が低く形成される。一方、上層の多結晶酸化タンタル膜は、下層を薄く形成した場合には逆に厚く形成できる。多結晶酸化タンタル膜を厚く形成する場合には、より高温であるあるいは長時間の熱処理が必要となるが、上層であるため、下層多結晶酸化タンタル膜の下部に形成される第1絶縁膜へあるいは半導体基板への酸化の影響を小さくできる。また、下層を低誘電率で形成しても、上層の多結晶酸化タンタル膜を高温のあ

るいは長時間の熱処理で形成できるため、誘電率を高く形成でき、実効膜厚を十分薄く形成できる。

【0021】4. 本発明の半導体装置は、前記項1～3の何れか一項に記載の半導体装置であって、ゲート電極は、金属または金属化合物である。

【0022】このような半導体装置は、ゲート絶縁膜が多結晶酸化タンタル膜で構成することにより可能となる。すなわち、酸化タンタル膜は金属あるいは金属化合物との相性がよく、酸化タンタルと金属との接触面における熱安定性に優れる。これによりMISFETの信頼性を向上して半導体装置の信頼性を高めることができる。このような金属または金属化合物として、タングステンまたは窒化タングステンを例示できる。

【0023】また、ゲート電極を金属または金属化合物とすることにより、ゲート電極の電気抵抗を低減して、MISFETの動作速度を向上し、半導体装置の性能を向上できる。

【0024】さらに、ゲート電極を金属または金属化合物とすることにより、従来p型不純物が導入された多結晶シリコン膜ゲート電極において生じていた問題が回避できる。すなわち、p型多結晶シリコン膜ゲート電極からのボロンの半導体基板への拡散によりMISFETのしきい値電圧が変動する問題があったが、本発明ではボロンを用いることがないので、このような問題は生じない。

【0025】なお、酸化タンタルと従来ゲート電極に用いられる多結晶シリコンとはその界面での反応性が問題となる。すなわち、酸化タンタル膜側の酸素が多結晶シリコン膜側に拡散し、酸化タンタル膜の界面部分での酸素が不足する状態が生じる。このような酸素プアな酸化タンタル膜ではリーク電流が発生しやすく問題がある。この点、本発明ではゲート電極として金属等を用いるためこのような問題は無く、好都合である。

【0026】5. 本発明の半導体装置は、第1実効膜厚の第1ゲート絶縁膜を有する第1MISFETと、第1実効膜厚よりも薄い第2実効膜厚の第2ゲート絶縁膜を有する第2MISFETとを同一の半導体基板の主面に有する半導体装置であって、第1および第2ゲート絶縁膜は、主面側に位置する第1絶縁膜と第1絶縁膜およびゲート電極間に位置する第2絶縁膜とを各々含み、第1絶縁膜がシリコン酸化膜またはシリコン酸窒化膜であり、第2絶縁膜が多結晶酸化タンタル膜である。

【0027】このような半導体装置によれば、同一基板上に2種のゲート絶縁膜を形成する場合のプロセス上発生するゲート絶縁膜(厚い膜厚側のゲート絶縁膜)の欠陥の発生を補償できる。すなわち、厚い膜厚側のゲート絶縁膜にはフォトリソグラフィ後の洗浄工程等で欠陥が発生しうことは前記したとおりであるが、本発明では、第1絶縁膜にそのような欠陥が生じて第2絶縁膜である多結晶シリコン膜が形成されるため、リーク電流

の発生を抑制できる。

【0028】6. 本発明の半導体装置は、前記項5記載の半導体装置であって、第1ゲート絶縁膜の第1絶縁膜が第2ゲート絶縁膜の第1絶縁膜よりも厚く、第1ゲート絶縁膜の第2絶縁膜と第2ゲート絶縁膜の第2絶縁膜とが同一の膜厚を有する第1の構成、第1ゲート絶縁膜の第1絶縁膜の誘電率が第2ゲート絶縁膜の第1絶縁膜の誘電率よりも低く、第1ゲート絶縁膜の第2絶縁膜と第2ゲート絶縁膜の第2絶縁膜とが同一の膜厚を有する第2の構成、の何れかの構成を有する。

【0029】このような半導体装置によれば、第1絶縁膜の膜厚または誘電率の相違により二種のゲート絶縁膜（第1ゲート絶縁膜および第2ゲート絶縁膜）を構成できる。

【0030】7. 本発明の半導体装置は、前記項5または6記載の半導体装置であって、第1ゲート絶縁膜の第2絶縁膜が(N+1)層で構成され、第2ゲート絶縁膜の第2絶縁膜がN層（但し、Nは1以上の整数である。）で構成されている。

【0031】8. 本発明の半導体装置は、前記項5～7の何れか一項に記載の半導体装置であって、第1MISFETはDRAMのメモリセル選択用のMISFETであり、第2MISFETはメモリセルの周辺に配置される周辺回路のMISFETまたは論理回路を構成するMISFETである。

【0032】9. 本発明の半導体装置の製造方法は、(a)半導体基板の主面に非晶質酸化タンタル膜を形成する工程、(b)非晶質酸化タンタル膜に酸化性雰囲気における熱処理を施して、非晶質酸化タンタル膜を多結晶酸化タンタル膜に転換し、半導体基板の主面と、多結晶酸化タンタル膜との界面にシリコン酸化膜を形成する工程、(c)半導体基板上に金属膜または金属化合物膜を形成する工程、(d)金属膜または金属化合物膜をパターニングしてゲート電極を形成する工程、を含む。

【0033】10. また、本発明の半導体装置の製造方法は、(a)半導体基板の主面にシリコン窒化膜またはシリコン酸化膜を形成する工程、(b)シリコン窒化膜またはシリコン酸化膜上に非晶質酸化タンタル膜を形成する工程、(c)非晶質酸化タンタル膜に酸化性雰囲気における熱処理を施して、非晶質酸化タンタル膜を多結晶酸化タンタル膜に転換する工程、(d)半導体基板上に金属膜または金属化合物膜を形成する工程、(e)金属膜または金属化合物膜をパターニングしてゲート電極を形成する工程、を含む。

【0034】項9および10記載の半導体装置の製造方法によれば、前記項1～4記載の半導体装置が製造できる。

【0035】前記項9記載の製造方法においては、第1絶縁膜であるシリコン酸化膜は、非晶質酸化タンタル膜の熱処理の際に酸化タンタル膜を透過した酸素と半導体

基板であるシリコンとの反応により形成されるものであるが、項10の製造方法においてはあらかじめ第1絶縁膜としてシリコン窒化膜あるいはシリコン酸化膜が形成されるため、熱処理の際の透過酸素によるシリコン（半導体基板）との反応が抑制される。このようなシリコン基板の酸化反応の抑制により、多結晶酸化タンタル膜よりも誘電率の低いシリコン酸化膜の生成を抑えゲート絶縁膜の実効膜厚を薄く維持できる。

【0036】なお、第1絶縁膜としてシリコン窒化膜が形成されている場合は、前記熱処理によりシリコン窒化膜がシリコン酸窒化膜に変換される。

【0037】11. 本発明の半導体装置の製造方法は、(a)半導体基板の主面の第1領域および第2領域にシリコン窒化膜またはシリコン酸化膜からなる第1絶縁膜を形成する工程、(b)第2領域の第1絶縁膜を除去する工程、(c)第2領域にシリコン窒化膜またはシリコン酸化膜からなる第2絶縁膜を形成する工程、(d)第1および第2絶縁膜上に非晶質酸化タンタル膜を形成する工程、(e)非晶質酸化タンタル膜に酸化性雰囲気における熱処理を施して、非晶質酸化タンタル膜を多結晶酸化タンタル膜に転換する工程、(f)半導体基板上に金属膜または金属化合物膜を形成する工程、(g)金属膜または金属化合物膜をパターニングして、第1領域に第1MISFETのゲート電極を形成し、第2領域に第2MISFETのゲート電極を形成する工程、を含む。

【0038】このような半導体装置の製造方法によれば、前記項5～8記載の半導体装置を形成できる。

【0039】12. 本発明の半導体装置の製造方法は、(a)半導体基板の主面の第1領域および第2領域にシリコン窒化膜またはシリコン酸化膜からなる第1絶縁膜を形成する工程、(b)半導体基板上に非晶質酸化タンタル膜を形成し、非晶質酸化タンタル膜に酸化性雰囲気における熱処理を施して第1多結晶酸化タンタル膜を形成する工程、(c)第2領域の第1絶縁膜および第1多結晶酸化タンタル膜を除去する工程、(d)第2領域にシリコン窒化膜またはシリコン酸化膜からなる第2絶縁膜を形成する工程、(e)半導体基板上に非晶質酸化タンタル膜を形成し、非晶質酸化タンタル膜に酸化性雰囲気における熱処理を施して、第2多結晶酸化タンタル膜を形成する工程、(f)半導体基板上に金属膜または金属化合物膜を形成する工程、(g)金属膜または金属化合物膜をパターニングして、第1領域に第1MISFETのゲート電極を形成し、第2領域に第2MISFETのゲート電極を形成する工程、を含む。

【0040】このような半導体装置の製造方法によれば、前記項5～8記載の半導体装置を形成できる。また、2種のゲート絶縁膜を形成するために、第2領域の絶縁膜（第1絶縁膜および第1多結晶酸化タンタル膜）を除去するが、この除去前に第1多結晶酸化タンタル膜を形成しているため、エッチング後の洗浄工程等におけ

る第1絶縁膜の欠陥の生成を回避できる。これにより第1MISFETの信頼性を向上し、半導体装置の性能と信頼性の向上を図れる。

【0041】13. 本発明の半導体装置の製造方法は、前記項9～12の何れか一項に記載の半導体装置の製造方法であって、さらに、多結晶酸化タンタル膜または第2多結晶酸化タンタル膜上に、第3の多結晶酸化タンタル膜を形成する工程を含み、金属膜または金属化合物膜を第3の多結晶酸化タンタル膜上に形成する。

【0042】このような半導体装置の製造方法によれば、2層構成の多結晶酸化タンタル膜を有するゲート絶縁膜を構成できる。この場合、多結晶酸化タンタル膜を下層と上層を分けるため、単一層で構成する場合と比較して各層の膜厚を薄くできる。このため、下層または上層の多結晶化のための熱処理の熱負荷を低減でき、シリコン半導体基板との界面に形成されうるシリコン酸化膜の形成を抑制できる。これによりゲート絶縁膜の実効膜厚を薄くできる。

【0043】なお、第3の多結晶酸化タンタル膜を形成するための熱処理は、多結晶酸化タンタル膜または第2多結晶酸化タンタル膜を形成するための熱処理よりも低温度または短時間で行うことができる。これは、第3の多結晶酸化タンタル膜を形成するための被膜形成の際には、あらかじめ下地として多結晶酸化タンタル膜（多結晶酸化タンタル膜または第2多結晶酸化タンタル膜）が形成されているため、前記被膜の堆積においては一種のエピタキシャル成長が進行し、その後の熱処理負荷を低減できることに基づく。第3の多結晶酸化タンタル膜を形成するための熱処理負荷を低減できるため、ゲート絶縁膜形成のための熱負荷を全体として低減できる。

【0044】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0045】（実施の形態1）図1～図9は、本発明の一実施の形態である半導体装置の製造方法を工程順に示した断面図である。

【0046】まず、図1（a）に示すように、p型で抵抗が $10\Omega\text{cm}$ 程度の半導体基板1を 850°C 程度でウェット酸化してその表面に膜厚 10nm 程度の薄いシリコン酸化膜2を形成する。その後、シリコン酸化膜2の上部にCVD（Chemical Vapor Deposition）法で膜厚 140nm 程度のシリコン窒化膜3を堆積する。シリコン酸化膜2は、後の工程で素子分離溝の内部に埋め込まれるシリコン酸化膜をシンタリング（焼き締め）するときなどに基板に加わるストレスを緩和するために形成される。シリコン窒化膜3は酸化されにくい性質を持つので、その下部（活性領域）の基板表面の酸化を防止するマスクとして利用される。

【0047】次に、図1（b）に示すように、フォトレジスト膜4をマスクにしてシリコン窒化膜3、シリコン酸化膜2および半導体基板1をドライエッチングすることにより、素子分離領域の半導体基板1に深さ $300\sim 400\text{nm}$ 程度の素子分離溝5を形成する。素子分離溝5を形成するには、フォトレジスト膜4をマスクにしてシリコン窒化膜3をドライエッチングし、次いでフォトレジスト膜4を除去した後、シリコン窒化膜3をマスクにしてシリコン酸化膜2および半導体基板1をドライエッチングしてもよい。

【0048】次に、フォトレジスト膜4を除去した後、図2（a）に示すように、前記のエッチングによって素子分離溝5の内壁に生じたダメージ層を除去するため、半導体基板1を $850\sim 900^\circ\text{C}$ 程度でウェット酸化して素子分離溝5の内壁に膜厚 10nm 程度の薄いシリコン酸化膜6を形成する。

【0049】次に、図2（b）に示すように、半導体基板1上に膜厚 600nm 程度のシリコン酸化膜7を堆積した後、半導体基板1を 850°C 程度でウェット酸化することにより、素子分離溝5に埋め込まれたシリコン酸化膜7の膜質を改善するためのシンタリング（焼き締め）を行う。シリコン酸化膜7は、例えばオゾン（ O_3 ）とテトラエトキシシラン（ TEOS ）とをソースガスに用いたプラズマCVD法で堆積する。

【0050】次に、図3（a）に示すように、シリコン酸化膜7の上部にCVD法で膜厚 100nm 程度のシリコン窒化膜8を堆積した後、フォトレジスト膜（図示せず）をマスクにしてシリコン窒化膜8をドライエッチングすることにより、メモリアレイと周辺回路との境界部のような相対的に広い面積の素子分離溝5の上部のみにシリコン窒化膜8を残す。素子分離溝5の上部に残ったシリコン窒化膜8は、次の工程でシリコン酸化膜7をCMP法で研磨して平坦化する際に、相対的に広い面積の素子分離溝5の内部のシリコン酸化膜7が相対的に狭い面積の素子分離溝5の内部のシリコン酸化膜7に比べて深く研磨される現象（ディッシング；dishing）を防止するために形成される。

【0051】次に、前記フォトレジスト膜を除去した後、図3（b）に示すように、シリコン窒化膜3、8をストッパに用いたCMP法でシリコン酸化膜7を研磨して素子分離溝5の内部に残すことにより、素子分離構造9を形成する。さらに、熱リン酸を用いたウェットエッチングでシリコン窒化膜3、8を除去する。このシリコン窒化膜3、8の除去のとき、あるいは、シリコン窒化膜3、8の除去後の洗浄工程のとき、素子分離溝5内の素子分離構造9（シリコン酸化膜7）の表面が若干エッチングされ、素子分離構造9の境界部分に段差が形成される。この段差がゲート絶縁膜の信頼性の低下要因になっていたことは図18の説明において述べたとおりである。なお、図3（b）以下の図面においての表現は省略

するが、前記段差が存在することは従来と変わりが無い。

【0052】次に、図4(a)に示すように、メモリセルを形成する領域(メモリアレイ)の半導体基板1にn型不純物、例えばP(リン)をイオン打ち込みしてn型半導体領域10を形成し、メモリアレイと周辺回路の一部(nチャネル型MISFETを形成する領域)にp型不純物、例えばB(ホウ素)をイオン打ち込みしてp型ウエル11を形成し、周辺回路の他の一部(pチャネル型MISFETを形成する領域)にn型不純物、例えばP(リン)をイオン打ち込みしてn型ウエル12を形成する。また、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するための不純物、例えばBF₂(フッ化ホウ素)をp型ウエル11およびn型ウエル12にイオン打ち込みする。n型半導体領域10は、入出力回路などから半導体基板1を通じてメモリアレイのp型ウエル11にノイズが侵入するのを防止するために形成される。

【0053】次に、図4(b)に示すように、p型ウエル11およびn型ウエル12の各表面のシリコン酸化膜2をHF(フッ酸)系の洗浄液を使って除去する。このエッチングの際におよびエッチング後の洗浄工程においても前記段差が形成され得る。

【0054】次に、MISFETのゲート絶縁膜を形成する。まず、図5(a)に示すように、半導体基板1の全面に酸化タンタル膜13をCVD法により堆積する。酸化タンタル膜13の膜厚は8nmとする。酸化タンタル膜13の堆積は、たとえばペンタエトキシタンタル($\text{Ta}(\text{C}_2\text{H}_5\text{O})_5$)と酸素(O_2)を原料ガスとし、500℃以下(たとえば450℃~500℃)の温度で、大気圧以下の減圧状態(たとえば400mTorr)において形成できる。

【0055】このように、酸化タンタル膜13をCVD法により堆積することにより、下地形状を反映せず、均一な膜厚で酸化タンタル膜13を形成できる。この結果、素子分離構造9の境界部(肩部)に段差が形成されていても、この形状を反映したその部分での薄膜化が発生せず、ゲート絶縁膜の信頼性を高め、またMISFETの特性を向上できる。

【0056】なお、この段階で形成された酸化タンタル膜13はアモルファス薄膜である。アモルファス状態の酸化タンタル膜は酸素欠陥が多いためリーク電流が大きく、ゲート絶縁膜としては好ましくない。また、アモルファス状態の酸化タンタル膜は比誘電率が20程度であるが、結晶状態の酸化タンタル膜は比誘電率が40程度であり、シリコン酸化膜の比誘電率の10倍と大きい。このため、同じMIS容量を達成するに大きな膜厚とすることができ、物理的な膜厚を大きくしてトンネル電流を抑制するには結晶状態の酸化タンタル膜を用いることが好ましい。

【0057】そこで、図5(b)に示すように、酸化タンタル膜13に熱処理を施し、多結晶酸化タンタル膜14を形成する。酸化タンタル膜13の熱処理は、酸化性雰囲気(たとえば酸素雰囲気)において820℃以下(たとえば800℃程度、3分間)の条件で行う。このような酸化熱処理により非晶質状態の酸化タンタル膜13を結晶化して多結晶酸化タンタル膜14を形成できる。この酸化熱処理は、酸素欠陥に酸素を補充して欠陥を回復する手段であり、また、非晶質酸化タンタル膜を結晶化する手段である。このように酸素欠陥が回復されることにより、多結晶酸化タンタル膜14を通過するリーク電流を低減できる。また、酸化タンタル膜を結晶化することにより、高誘電率のゲート絶縁膜を形成できる。ゲート絶縁膜に高誘電率の多結晶酸化タンタル膜を用いれば、膜厚の厚いゲート絶縁膜としてもトンネル電流の発生を抑制するとともに、シリコン酸化膜に換算した膜厚が4nm以下の高性能化、微細化に対応したMISFETを構成できる。なお、酸化タンタル膜はBST等さらに高誘電率を有する材料のように材料開発のためのハードルも高くなく、プロセス開発の期間短縮を図ってコスト競争力を向上することもできる。

【0058】なお、酸化タンタル膜13の酸化熱処理により多結晶酸化タンタル膜14を形成する工程において、熱活性化された酸素が酸化タンタル膜13(多結晶酸化タンタル膜14)を透過して半導体基板1表面である活性領域(p型ウエル11およびn型ウエル12が形成されている領域)に達する。この酸素と活性領域のシリコンとが反応して多結晶酸化タンタル膜14と半導体基板1との界面にシリコン酸化膜15が形成される。前記条件で熱処理した場合、形成されるシリコン酸化膜15の膜厚は約2.5nmである。

【0059】従って、本実施の形態によれば、8nmの膜厚の多結晶酸化タンタル膜14と2.5nmの膜厚のシリコン酸化膜15とでゲート絶縁膜が構成されることとなり、この場合のシリコン酸化膜換算の膜厚は3.0~3.5nmとなる。従来シリコン酸化膜で4nm以下の膜厚のゲート絶縁膜を構成した場合にはトンネル電流が増大する問題があったが、本実施の形態では、物理的な膜厚は10.5nmであり、リーク電流が十分に低く抑えられる。一方、シリコン酸化膜換算の実効的な膜厚は3.0~3.5nmと薄く、高性能なMISFETを構成できる。

【0060】次に、図6(a)に示すように、多結晶酸化タンタル膜14上に、タングステン膜16を形成する。タングステン膜16は、MISFETのゲート電極となるものであり、その形成はCVD法またはスパッタ法を用いる。

【0061】このように、本実施の形態では、ゲート電極としてタングステンをを用いるため、p型多結晶シリコン膜をゲート電極に用いていた従来のpチャネルMIS

FETで問題を生じていたゲート電極からのボロンの拡散による特性変動(しきい置の変動)を抑制できる。また、タングステン膜16の単層でも十分に電気抵抗を低くできるため、従来の多結晶シリコン膜にシリサイド膜あるいはストッパ膜を介したメタル膜を形成する場合と比較して工程を簡略化できる。なお、本工程後に種々の熱工程が存在するが、多結晶酸化タンタルとタングステンとは高温熱処理が加えられても反応せず、ゲート絶縁膜の特性劣化に結びつくことはない。

【0062】次に、図6(b)に示すように、フォトリソグラフィおよびエッチング技術を用いて、タングステン膜16および多結晶酸化タンタル膜14をパターンニングし、ゲート電極17を形成する。その後、n型ウエル12にp型不純物、例えばB(ホウ素)をイオン打ち込みしてn型ウエル12のゲート電極17の両側にp型半導体領域18を形成する。また、p型ウエル11にn型不純物、例えばP(リン)をイオン打ち込みしてp型ウエル11のゲート電極17の両側にn型半導体領域19を形成し、n型半導体領域10で囲まれたp型ウエル11のゲート電極17の両側にn型半導体領域20を形成する。これにより、メモリセル領域にメモリセルの選択MISFETQsを、周辺回路のpチャネル型MISFETQpとnチャネル型MISFETQnを形成する。

【0063】次に、図7に示すように、選択MISFETQs、pチャネル型MISFETQpおよびnチャネル型MISFETQnを覆う層間絶縁用の絶縁膜21を形成する。絶縁膜21は、たとえばシリコン酸化膜とする。その後、選択MISFETQsのソース・ドレインであるn型半導体領域20に接続されるプラグ22を形成する。プラグ22はたとえば多結晶シリコン膜である。プラグ22は、たとえば絶縁膜21に加工した接続孔に多結晶シリコン膜を埋め込み、表面をCMP法あるいはエッチバック法により研磨または除去して形成できる。

【0064】その後、プラグ22上にビット線を絶縁するための絶縁膜を堆積し、ビット線に接続されるプラグ22表面の露出と、周辺回路のMISFETに接続するための接続孔23を開口するための加工を行う。

【0065】さらに、半導体基板1の全面にたとえばチタン膜を堆積し、熱処理を施して前記チタン膜とシリコンとの反応によりチタンシリサイド膜24を形成する。チタンシリサイド膜24は、コンタクト部分に形成され、コンタクト抵抗を低減する作用を有する。

【0066】さらに、半導体基板1の全面に窒化チタン膜25およびタングステン膜26の積層膜を堆積し、これをパターンニングしてビット線BLおよび第1層配線M1を形成する。はとみに窒化チタン膜25およびタングステン膜26からなり、同時に形成されるものであるが、メモリセル領域ではビット線BLとして機能し、周辺回路領域では第1層配線M1として機能する。

【0067】次に、図8に示すように、ビット線BLおよび第1層配線M1を覆う絶縁膜27を形成し、絶縁膜27にプラグ22に接続されるプラグ28を形成する。プラグ28はプラグ22と同様に多結晶シリコン膜とすることができ、プラグ22と同様に形成できる。

【0068】次に、情報蓄積用のキャパシタを以下のようにして形成する。まず、絶縁膜27上に、下部電極形成用の絶縁膜29を形成し、絶縁膜29に溝を形成する。この溝は、その底部で各々プラグ28の表面が露出するように形成する。その後、たとえば多結晶シリコン膜を溝の内部を覆うように半導体基板1の全面に形成し、溝を埋め込む絶縁膜を形成した後に溝以外の絶縁膜29表面の多結晶シリコン膜を除去する。その後溝に埋め込まれた絶縁膜を除去して下部電極30を形成する。次に、下部電極30の内面を覆うキャパシタ絶縁膜31を半導体基板1の全面に堆積する。キャパシタ絶縁膜31は、シリコン窒化膜、あるいはシリコン窒化膜とシリコン酸化膜との積層膜とすることができ、前記ゲート絶縁膜に適用した多結晶酸化タンタル膜を用いてもよい。さらに、キャパシタ絶縁膜31上に上部電極32を形成する。上部電極32は、たとえば半導体基板1の全面への窒化チタン膜の堆積およびパターンニングにより形成する。窒化チタン膜の堆積は、下部電極30の内面に対向してステップカバレージ良く形成するため、CVD法により形成できる。窒化チタン膜のパターンニングはメモリセル領域を覆うように形成できる。このようにして、下部電極30、キャパシタ絶縁膜31および上部電極32からなるキャパシタが形成される。

【0069】次に、図9に示すように、キャパシタを覆う絶縁膜33を形成し、絶縁膜33、29、27に接続孔を形成して、この接続孔内にプラグ34を形成する。さらに、プラグ34に接続される第2層配線M2を形成する。プラグ34は、たとえばTiN膜およびW膜の積層膜とすることができ、プラグ34の形成は、たとえば接続孔を埋め込むTiN(窒化チタン)膜およびW(タングステン)膜をCVD法により順次堆積し、接続孔以外のTiN膜およびW膜をCMP法により研磨・除去して形成できる。また、第2層配線M2は、たとえばTiN膜、Al(アルミニウム)膜、Ti(チタン)膜の積層膜とすることができ、スパッタ法またはCVD法による堆積とフォトリソグラフィを用いたパターンニングにより形成できる。

【0070】さらに、第2層配線を覆う絶縁膜35を形成し、絶縁膜35内およびその表面に、前記同様のプラグ36および第3層配線M3を形成できる。図では、キャパシタの上部電極32は第3層配線M3に接続されているが、第2層配線M2に接続してもよい。

【0071】本実施の形態によれば、ゲート絶縁膜に多結晶酸化タンタル膜14を適用するため、物理的なゲート絶縁膜の膜厚を厚くすることができ、トンネル電流の

発生を抑制できる。また、物理的なゲート絶縁膜の膜厚を厚くしても、多結晶酸化タンタル膜14の誘電率は高く、実効的なゲート絶縁膜の膜厚（シリコン酸化膜換算の実効的な膜厚）は厚くならず、MISFETの高性能化、微細化に対応できる。さらに、ゲート電極材料としてタングステン等金属を用いることができるため、pチャネル型MISFETにおいて生じていたボロン拡散によるMISFETの特性変動（しきい値電圧の変動）が発生しない。また、タングステンと酸化タンタルとが高温熱処理に曝されても反応することなく、その界面は安定に保たれる。このため、ゲート電極形成後の工程において高温熱処理を工程を採用することの制限がなく、また、ゲート電極およびゲート絶縁膜の信頼性を向上できる。

【0072】なお、本実施の形態ではゲート電極の材料としてタングステンを例示したが、これに限られず、窒化タングステン（WN）等たとえばの高融点金属または金属化合物を用いても良い。

【0073】（実施の形態2）図10は、本発明の他の実施の形態である半導体装置の製造方法の一例を工程順に示した一部断面図である。本実施の形態の製造方法は、実施の形態1の製造方法とはゲート絶縁膜の構成およびその形成方法において相違する他は実施の形態1と同様である。従って、以下の説明では相違する部分についてのみ説明する。なお、図10では、実施の形態1の各図面の要部にかかる一部分のみの断面図を示している。

【0074】本実施の形態の製造方法は、実施の形態1の図4（b）の工程までは同様である。次に、図10（a）に示すように、半導体基板501（実施の形態1におけるp型ウエル11およびn型ウエル12）の表面にシリコン窒化膜502を形成する。シリコン窒化膜502は、熱窒化法により形成できる。

【0075】次に、図10（b）に示すように、非晶質酸化タンタル膜503を形成する。非晶質酸化タンタル膜503は、実施の形態1の酸化タンタル膜13と同様に形成できる。

【0076】次に、図10（c）に示すように、非晶質酸化タンタル膜503に実施の形態1と同様な酸化雰囲気における熱処理を施し、これを結晶化する。この結晶化の際に、シリコン窒化膜502がシリコン酸窒化膜504に変化され、非晶質酸化タンタル膜503は多結晶酸化タンタル膜505に変化される。さらに、多結晶酸化タンタル膜505上にゲート電極506を形成する。ゲート電極506は実施の形態1のタングステン膜16と同様である。この後の工程は実施の形態1と同様である。

【0077】このように本実施の形態では、半導体基板501と非晶質酸化タンタル膜503との間にシリコン窒化膜502が形成されているため、ゲート絶縁膜の実

効膜厚を薄膜化できる。すなわち、シリコン窒化膜は大きな耐酸化性を有するため、非晶質酸化タンタル膜503の結晶化および酸素欠陥の回復のための酸化熱処理の際に、酸化タンタル膜を透過・拡散してくる酸素をブロッキングする作用をする。このため、酸素が半導体基板501にまで到達せず、誘電率の低いシリコン酸化膜を形成することがない。この結果、シリコン窒化膜502が誘電率の若干低いシリコン酸窒化膜504に転換されるものの、ゲート絶縁膜の実効膜厚は2nm（シリコン酸化膜換算）と薄くすることができる。

【0078】なお、非晶質酸化タンタル膜503およびシリコン窒化膜502の膜厚や熱処理条件を調整することにより、実効膜厚を1nm程度まで低くすることも可能である。

【0079】また、本実施の形態では、酸素のブロッキング膜としてシリコン窒化膜502を例示したが、シリコン酸化膜であってもよい。

【0080】（実施の形態3）図11は、本発明のさらに他の実施の形態である半導体装置の製造方法の一例を工程順に示した一部断面図である。本実施の形態の製造方法は、実施の形態1の製造方法とはゲート絶縁膜の構成およびその形成方法において相違する他は実施の形態1と同様である。従って、以下の説明では相違する部分についてのみ説明する。なお、図11では、実施の形態1の各図面の要部にかかる一部分のみの断面図を示している。

【0081】本実施の形態の製造方法は、実施の形態1の図4（b）の工程までは同様である。次に、図11（a）に示すように、半導体基板601（実施の形態1におけるp型ウエル11およびn型ウエル12）の表面にシリコン窒化膜602を形成する。シリコン窒化膜602は、実施の形態2のシリコン窒化膜502と同様である。

【0082】次に、図11（b）に示すように、第1の非晶質酸化タンタル膜603を形成する。第1の非晶質酸化タンタル膜603は、実施の形態2の非晶質酸化タンタル膜503と同様に形成できるが、その膜厚が相違する。すなわち、後に説明する第2の酸化タンタル膜の膜厚と併せて必要な膜厚を達成できるように、第1の非晶質酸化タンタル膜603の膜厚を選択する。なお、後に説明するように第1の非晶質酸化タンタル膜603の膜厚は、第2の酸化タンタル膜の膜厚よりも薄くなるように、つまり最終的な酸化タンタル膜の膜厚の半分以下になるように選択することが好ましい。第1の非晶質酸化タンタル膜603の膜厚は、たとえば4nmとすることができる。

【0083】次に、図11（c）に示すように、第1の非晶質酸化タンタル膜603に実施の形態1と同様な酸化雰囲気における熱処理を施し、これを結晶化する。この結晶化の際に、シリコン窒化膜602がシリコン酸窒

化膜604に変化され、第1の非晶質酸化タンタル膜603は第1多結晶酸化タンタル膜605aに変化される。但し、前記熱処理は、実施の形態1および実施の形態2の熱処理と比較して熱処理負荷を小さくできる。すなわち、本実施の形態では、第1の非晶質酸化タンタル膜603の膜厚が4nmと薄く形成されているため、たとえば熱処理時間を短くして熱負荷を低減できる。実施の形態1、2では熱処理条件を800℃、3分間としたが、本実施の形態では800℃、2分間に短縮できる。これにより、シリコン窒化膜602の酸化の度合いを低減して誘電率を高く維持し、あるいはシリコン窒化膜602の膜厚を薄くして、ゲート絶縁膜の実効膜厚を薄くすることができる。

【0084】次に、図11(d)に示すように、第1多結晶酸化タンタル膜605a上に第2多結晶酸化タンタル膜605bを形成する。膜厚は、第1多結晶酸化タンタル膜605aの膜厚と併せて必要な膜厚に達するようにする。たとえば6nmとする。この場合の酸化タンタル膜の形成は、第1の非晶質酸化タンタル膜603の形成条件と同様の条件で形成できるが、下地にあらかじめ第1多結晶酸化タンタル膜605aが形成されているため、一種のエピタキシャル成長が起り、アズデポ状態で結晶化した被膜が得られる。これにより、第2多結晶酸化タンタル膜605bを別途結晶化するための熱処理を必要とせず、工程を簡略化できる。また、熱処理を必要としないことから熱負荷を低減できる。

【0085】ただし、アズデポ状態の第2多結晶酸化タンタル膜605bには酸素欠陥が存在し、この酸素欠陥に起因してリーク電流が増大する危険もある。そこで、短時間の熱処理を施すことが好ましい。たとえば800℃、1分間の熱処理を行える。これにより酸素欠陥を回復してゲート絶縁膜の信頼性およびMISFETの性能を向上できる。

【0086】また、このような熱処理を行えば、第2多結晶酸化タンタル膜605bのさらなる結晶化が促進され、その誘電率を高くすることができる。

【0087】また、仮に第1多結晶酸化タンタル膜605aの結晶化が十分でなく、誘電率が低く形成されても（その代償としてシリコン窒化膜602の膜厚の低減あるいはシリコン窒化膜602の酸化の程度を抑えて、シリコン窒化膜602部分についての実効膜厚の低下要因を得ることができる。）、第2多結晶酸化タンタル膜605bにより高い誘電率を確保して実効膜厚を低減し、またリーク電流の発生を阻止できる。このような場合には第1多結晶酸化タンタル膜605aの誘電率は第2多結晶酸化タンタル膜605bのそれよりも低く形成される。

【0088】また、2層に分けて（2段階で）酸化タンタル膜を形成するため、酸化タンタル結晶を均一に形成できる。これにより、粒界の表面から裏面への貫通を防

止して、粒界に起因するリーク電流通路を阻害し、リーク電流を低減できる。さらに、各層の酸化タンタル膜厚を薄くするため、各層を構成する酸化タンタル結晶を均一に、また、緻密に形成することができ、リーク電流の抑制と、MISFET特性の均質化を図ることができ

る。
【0089】このようにして形成されたシリコン酸窒化膜604、第1多結晶酸化タンタル膜605aおよび第2多結晶酸化タンタル膜605bがゲート絶縁膜となる。

【0090】次に、図11(e)に示すように、第2多結晶酸化タンタル膜605b上にゲート電極となるタングステン膜606を堆積し、これを図11(f)に示すように、フォトリソ膜607を用いてパターンニングし、ゲート電極とする。タングステン膜606は実施の形態1のタングステン膜16と同様である。この後の工程は実施の形態1と同様にできる。

【0091】なお、図12に示すように、タングステン膜606のパターンニングにハードマスク608を用いることもできる。すなわち、図12(a)に示すように、タングステン膜606上にたとえばシリコン酸化膜からなるハードマスク608を形成し、ハードマスク608上にフォトリソ膜607をパターンニングする。

【0092】次に、図12(b)に示すように、フォトリソ膜607をマスクとしてハードマスク608をエッチングし、フォトリソ膜607を除去する。

【0093】次に、図12(c)に示すように、パターンニングされたハードマスク608をマスクとしてタングステン膜606をエッチングし、ゲート電極609を形成する。このようにハードマスク608を用いてエッチング加工することにより、加工を安定に行える。

【0094】このエッチング工程においては、タングステン膜606のエッチングにとどめ、酸化タンタル膜（第1多結晶酸化タンタル膜605a、第2多結晶酸化タンタル膜605b）のエッチングは行わないようにする。このように酸化タンタル膜をエッチングしないで残すことによりドライエッチングによる基板のダメージ発生を防止できる。

【0095】さらに、図12(d)に示すように、ハードマスク608およびゲート電極609の側壁にサイドウォール610を形成する。サイドウォール610は、たとえばシリコン酸化膜の堆積後に異方性エッチングを行って形成できる。

【0096】なお、ゲート電極609の加工後サイドウォール610の形成前に、あるいは、サイドウォール610の形成後にイオン注入により不純物を半導体基板に注入でき、たとえばLDD(Lightly Doped Drain)を構成できる。また、イオン注入は第1多結晶酸化タンタル膜605aおよび第2多結晶酸化タンタル膜605bと透過して行える。

【0097】また、ここでは、ゲート電極609の加工の際に酸化タンタル膜をエッチングしない例を説明したが、この酸化タンタル膜をエッチングしてもよいことは勿論である。このとき、エッチング加工によりダメージを受けた酸化タンタル膜（ゲート絶縁膜）を回復するため、水（ H_2O ）および水素（ H_2 ）雰囲気におけるライト酸化を行うことができる。

【0098】なお、本実施の形態において多結晶酸化タンタル膜を2層で構成する例を示したが、この場合、下層の酸化タンタル膜（第1多結晶酸化タンタル膜605a）の膜厚を上層の酸化タンタル膜（第2多結晶酸化タンタル膜605b）の膜厚よりも薄くすることが好ましい。これは、下層の酸化タンタル膜の熱負荷を低減できる一方、上層の酸化タンタル膜はアズデポ状態で結晶化しているため、上層酸化タンタル膜の酸化熱処理の負荷をその膜厚ほどには大きくする必要がないためである。このため、同一膜厚の多結晶酸化タンタル膜を単一層で形成した場合に比較してトータルの熱負荷を低減できるというメリットがある。

【0099】（実施の形態4）図13～図15は、本発明のさらに他の実施の形態である半導体装置の製造方法の一例を工程順に示した一部断面図である。本実施の形態の製造方法は、実施の形態1の製造方法とはゲート絶縁膜の構成およびその形成方法において相違する他は実施の形態1と同様である。従って、以下の説明では相違する部分についてのみ説明する。なお、図13～図15では、実施の形態1の各図面の要部にかかる一部分のみの断面図を示している。

【0100】本実施の形態の製造方法は、実施の形態1の図4（b）の工程までは同様である。次に、図13（a）に示すように、第1ゲート絶縁膜706を形成する。第1ゲート絶縁膜706は、第1のpウエル703（実施の形態1におけるn型半導体領域10で囲まれた領域（メモセル領域）のp型ウエル11）と第2のpウエル704（実施の形態1における周辺回路領域のp型ウエル11）の表面に各々形成する。なお、図13～図15では、周辺回路領域について第2のpウエル704についてのみ示しているが、実施の形態1と同様にnウエルを有していてもよい。この場合nウエルについては図示を省略している。

【0101】第1ゲート絶縁膜706はシリコン酸化膜からなり、膜厚は4nmとする。第1ゲート絶縁膜706はたとえば熱酸化法により形成する。熱酸化法でシリコン酸化膜を形成するため、素子分離領域705（実施の形態1における素子分離構造p）の表面にはシリコン酸化膜（第1ゲート絶縁膜706）は形成されない。

【0102】次に、図13（b）に示すように、メモセル領域を覆うようにフォトリソ膜707をパターンニングし、フォトリソ膜707をマスクとして周辺回路領域の第1ゲート絶縁膜706をエッチングして除

去する。

【0103】次に、フォトリソ膜707を除去し、洗浄した後、図13（c）に示すように、シリコン酸化膜からなる第2ゲート絶縁膜708を形成する。第2ゲート絶縁膜708は、第1ゲート絶縁膜706と同様に熱酸化法で形成し、膜厚は2nmとする。

【0104】次に、図14（d）に示すように、CVD法により厚さ10nmの非晶質酸化タンタル膜709を形成する。非晶質酸化タンタル膜709は、実施の形態1の酸化タンタル膜13と同様に形成できる。

【0105】次に、図14（e）に示すように、非晶質酸化タンタル膜709を結晶化および酸素欠陥回復のための酸化熱処理を施し、多結晶酸化タンタル膜710を形成する。酸化熱処理は実施の形態1と同様に酸素雰囲気における800℃、3分間の熱処理とする。

【0106】次に、図14（f）に示すように、多結晶酸化タンタル膜710上にタングステン膜711およびハードマスク用のシリコン酸化膜712を形成する。タングステン膜711およびシリコン酸化膜712はスパッタ法またはCVD法により形成できる。

【0107】次に、図15（g）に示すように、シリコン酸化膜712上にフォトリソ膜をパターンニングし、これをマスクとしてシリコン酸化膜712をエッチングする。その後フォトリソ膜を除去し、パターンニングされたシリコン酸化膜712をマスクとしてタングステン膜711をエッチングする。これによりゲート電極713を形成する。所望の不純物をイオン注入し、さらに、図15（h）に示すようにサイドウォール714を形成する。サイドウォール714と同様に形成できる。サイドウォール714を形成後、適宜不純物をイオン注入してLDD構造を形成しても良い。

【0108】その後の工程は実施の形態1と同様である。

【0109】本実施の形態によれば、シリコン酸化膜と多結晶酸化タンタル膜の積層膜をゲート絶縁膜に用い、膜厚の組み合わせを変えることにより、任意の実効膜厚を実現できる。本実施の形態の場合、メモセル領域では厚さ4nmのシリコン酸化膜と厚さ10nmの多結晶酸化タンタル膜とを組み合わせると実効膜厚を5nmとし、周辺回路領域では2nmのシリコン酸化膜と10nmの多結晶酸化タンタル膜とを組み合わせると実効膜厚を3nmとすることができる。このように、MISFETに要求される性能に応じてゲート絶縁膜の膜厚を最適化し、半導体装置の微細化と高性能化に対応することができる。

【0110】（実施の形態5）図16は、本発明の他の実施の形態である半導体装置の製造方法の一例を工程順に示した一部断面図である。本実施の形態の製造方法は、実施の形態4の製造方法とはゲート絶縁膜の構成およびその形成方法において相違する他は実施の形態4と

同様である。従って、以下の説明では相違する部分についてのみ説明する。

【0111】本実施の形態の製造方法は、実施の形態4の図13(b)の工程までは同様である。実施の形態4と同様、メモリセル領域に、厚さ4nmのシリコン酸化膜からなる第1ゲート絶縁膜805を熱酸化法で形成する。その後、図16(a)に示すように、周辺回路領域にのみシリコン窒化膜806を形成する。シリコン窒化膜806は周辺回路領域のMISFETのゲート絶縁膜の一部となる。シリコン窒化膜806は、たとえば750℃のアンモニア(NH₃)雰囲気中で、3分間熱処理することにより形成できる。このように熱窒化法を用いるので、シリコンが露出した領域のみを選択してシリコン窒化膜806が形成できる。また、このような条件では先に形成した第1ゲート絶縁膜805(シリコン酸化膜)の膜質等に及ぼす影響はない。また、この条件で形成されるシリコン窒化膜806の膜厚は1nm程度である。

【0112】次に、図16(b)に示すように、厚さ4nmの第1非晶質酸化タンタル膜807を全面に堆積する。その後、図16(c)に示すように、実施の形態3と同様な熱処理を施して第1多結晶酸化タンタル膜808を形成する。実施の形態3で説明したと同様に、第1非晶質酸化タンタル膜807が第1多結晶酸化タンタル膜808に転換されると同時に、シリコン窒化膜806がシリコン酸化膜809に転換される。

【0113】さらに、図16(d)に示すように、第2多結晶酸化タンタル膜810を堆積する。この第2多結晶酸化タンタル膜810がアズデポ状態で結晶化していることは実施の形態3で説明したと同様である。

【0114】その後の工程は、実施の形態4と同様である。

【0115】本実施の形態によれば、部分的にシリコン窒化膜806をゲート絶縁膜の一部に用いて、その部分(ここでは周辺回路部分を例示)のMISFETのゲート絶縁膜の実効膜厚をより薄膜化することができる。すなわち、メモリセル領域では厚さ4nmのシリコン酸化膜と厚さ8nmの多結晶酸化タンタル膜とを組み合わせる実効膜厚を4.8nmとし、周辺回路領域では2nmのシリコン酸化膜と8nmの多結晶酸化タンタル膜とを組み合わせる実効膜厚を2.3nmとすることができる。

【0116】なお、多結晶酸化タンタル膜を上記の通り2層構成とすることによるリーク電流の低減、酸化タンタル結晶の均一化によるMISFETの均一化については実施の形態3と同様な効果が得られる。

【0117】(実施の形態6)図17は、本発明のさらに他の実施の形態である半導体装置の製造方法の一例を工程順に示した一部断面図である。本実施の形態の製造方法は、実施の形態4の図13(a)までの工程について

では同様である。

【0118】実施の形態4で説明したようにシリコン酸化膜からなる第1ゲート絶縁膜904を熱酸化法により形成し、その後、図17(a)に示すように、第1多結晶酸化タンタル膜905を全面に形成する。第1多結晶酸化タンタル膜905の形成は、非晶質酸化タンタル膜の堆積後、その膜厚に応じた熱処理負荷で酸化雰囲気における熱処理で形成できる。

【0119】次に、図17(b)に示すように、メモリセル領域を覆うフォトリソグロフによりパターニングして形成する。

【0120】次に、図17(c)に示すように、フォトリソグロフ膜906をマスクとして周辺回路領域の第1多結晶酸化タンタル膜905および第1ゲート絶縁膜904をエッチングして除去し、フォトリソグロフ膜906を除去する。

【0121】次に、図17(d)に示すように、周辺回路領域に熱酸化法あるいは熱窒化法を用いてシリコン酸化膜あるいはシリコン窒化膜からなる第2ゲート絶縁膜908を形成し、さらに非晶質酸化タンタル膜の堆積および酸化熱処理により第2多結晶酸化タンタル膜907を形成する。その後の工程は実施の形態4と同様である。

【0122】本実施の形態によれば、フォトリソグロフ膜906でパターニングした際に残存する第1ゲート絶縁膜904のフォトリソグロフ膜906による汚染を防止できる。すなわち、実施の形態4の場合にメモリセル領域に残存する第1ゲート絶縁膜706は、直接フォトリソグロフ膜707に接触しているため、フォトリソグロフ膜による汚染が発生する場合がある。しかし、本実施の形態では、第1ゲート絶縁膜904は直接フォトリソグロフ膜906に接触することがなく、フォトリソグロフ膜906は第1多結晶酸化タンタル膜905を介して形成される。このため、フォトリソグロフ膜による汚染はシリコン酸化膜からなる第1ゲート絶縁膜904には及ばず、シリコン酸化膜のフォトリソグロフ膜による劣化を抑制して信頼性を高く維持できる。

【0123】なお、第2多結晶酸化タンタル膜907を2層以上の多層構造にできることは勿論である。

【0124】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0125】たとえば、前記実施の形態ではDRAMの場合について説明したが、DRAM以外の半導体装置、たとえばSRAM、ロジック回路、フラッシュメモリもしくは強誘電体メモリ等不揮発性メモリ、あるいはこれらが組み合わされたシステムLSIに対しても適用できる。

【0126】また、前記実施の形態では、多結晶酸化タンタル膜と組み合わせられてゲート絶縁膜を構成する材料にシリコン酸化窒化膜、シリコン酸化膜を例示したが、これ以外の材料を用いても良い。たとえば酸化アルミニウム等である。

【0127】また、同一基板内に実効膜厚の相違する複数のゲート絶縁膜を適用する例を実施の形態4～6に説明したが、これら実効膜厚の相違をゲート絶縁膜を構成する誘電膜（シリコン酸化窒化膜、シリコン酸化膜）の膜厚で調整するだけでなく、その誘電率の相違で調整することも可能である。さらに、この場合の実効膜厚の相違を多結晶酸化タンタル膜の膜厚で調整することも可能である。

【0128】また、酸化タンタル膜は、実施の形態で説明した通り単一層あるいは2層で構成することは勿論、層として構成できる限り3層以上の任意層数の多層構成とすることができる。

【0129】また、酸化熱処理における熱負荷の低減として、処理時間の短縮を例示したが、処理温度を低下して熱負荷を低減しても良い。

【0130】また、ゲート電極材料としてタングステン（WN）を例示しているが、タングステンに限らず、窒化タングステン（TiN）、窒化チタン（Ta₂N₅）を用いても良い。

【0131】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0132】すなわち、ゲート絶縁膜の薄膜化要求を満足する半導体装置を提供できる。

【0133】また、素子分離領域と半導体基板の活性領域との境界部でのゲート絶縁膜の耐電圧の向上と半導体装置の信頼性の向上を図ることができる。

【0134】また、2種類のゲート絶縁膜を同一半導体基板に有する場合の、ゲート絶縁膜の信頼性を向上できる。

【図面の簡単な説明】

【図1】（a）および（b）は、本発明の一実施の形態（実施の形態1）である半導体装置の製造方法を工程順に示した断面図である。

【図2】（a）および（b）は、実施の形態1の半導体装置の製造方法を工程順に示した断面図である。

【図3】（a）および（b）は、実施の形態1の半導体装置の製造方法を工程順に示した断面図である。

【図4】（a）および（b）は、実施の形態1の半導体装置の製造方法を工程順に示した断面図である。

【図5】（a）および（b）は、実施の形態1の半導体装置の製造方法を工程順に示した断面図である。

【図6】（a）および（b）は、実施の形態1の半導体装置の製造方法を工程順に示した断面図である。

【図7】実施の形態1の半導体装置の製造方法を工程順に示した断面図である。

【図8】実施の形態1の半導体装置の製造方法を工程順に示した断面図である。

【図9】実施の形態1の半導体装置の製造方法を工程順に示した断面図である。

【図10】（a）～（c）は、本発明の他の一実施の形態（実施の形態2）である半導体装置の製造方法を工程順に示した断面図である。

【図11】（a）～（f）は、本発明のさらに他の実施の形態（実施の形態3）である半導体装置の製造方法の一例を工程順に示した一部断面図である。

【図12】（a）～（d）は、実施の形態3の半導体装置の製造方法の他の例を工程順に示した一部断面図である。

【図13】（a）～（c）は、本発明のさらに他の実施の形態（実施の形態4）である半導体装置の製造方法の一例を工程順に示した一部断面図である。

【図14】（d）～（f）は、実施の形態4の半導体装置の製造方法の一例を工程順に示した一部断面図である。

【図15】（g）および（h）は、実施の形態4の半導体装置の製造方法の一例を工程順に示した一部断面図である。

【図16】（a）～（d）は、本発明の他の実施の形態（実施の形態5）である半導体装置の製造方法の一例を工程順に示した一部断面図である。

【図17】（a）～（d）は、本発明のさらに他の実施の形態（実施の形態6）である半導体装置の製造方法の一例を工程順に示した一部断面図である。

【図18】（a）～（d）は、本発明の課題を示す半導体装置の一部断面図である。

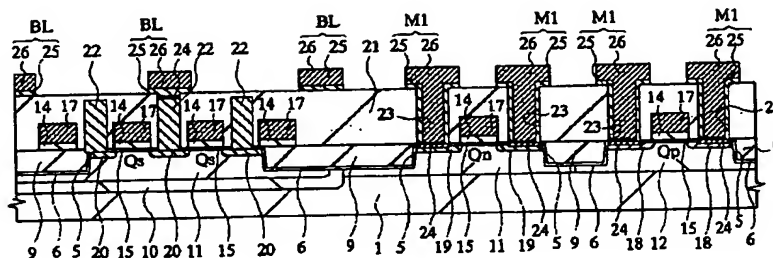
【符号の説明】

- 1 半導体基板
- 2 シリコン酸化膜
- 3 シリコン窒化膜
- 4 フォトレジスト膜
- 5 素子分離溝
- 6、7 シリコン酸化膜
- 8 シリコン窒化膜
- 9 素子分離構造
- 10 n型半導体領域
- 11 p型ウエル
- 12 n型ウエル
- 13 酸化タンタル膜
- 14 多結晶酸化タンタル膜
- 15 シリコン酸化膜
- 16 タングステン膜
- 17 ゲート電極
- 18 p型半導体領域

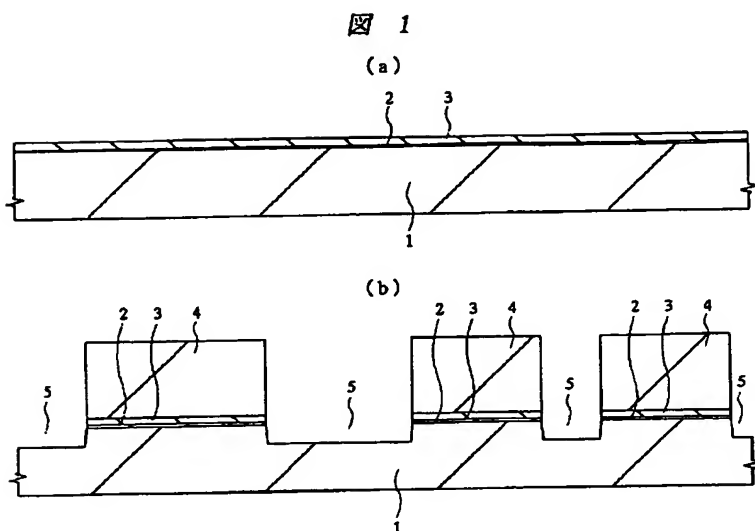
- | | | | |
|----------|---------------|-----|--------------|
| 19 | n型半導体領域 | 607 | フォトレジスト膜 |
| 20 | n型半導体領域 | 608 | ハードマスク |
| 21 | 絶縁膜 | 609 | ゲート電極 |
| 22 | プラグ | 610 | サイドウォール |
| 23 | 接続孔 | 703 | 第1のpウエル |
| 24 | チタンシリサイド膜 | 704 | 第2のpウエル |
| 25 | 窒化チタン膜 | 705 | 素子分離領域 |
| 26 | タングステン膜 | 706 | 第1ゲート絶縁膜 |
| 27 | 絶縁膜 | 707 | フォトレジスト膜 |
| 28、34、36 | プラグ | 708 | 第2ゲート絶縁膜 |
| 29、33、35 | 絶縁膜 | 709 | 非晶質酸化タンタル膜 |
| 30 | 下部電極 | 710 | 多結晶酸化タンタル膜 |
| 31 | キャパシタ絶縁膜 | 711 | タングステン膜 |
| 32 | 上部電極 | 712 | シリコン酸化膜 |
| 301 | 半導体基板 | 713 | ゲート電極 |
| 302 | シリコン酸化膜 | 714 | サイドウォール |
| 303 | シリコン窒化膜 | 805 | 第1ゲート絶縁膜 |
| 304 | 素子分離溝 | 806 | シリコン窒化膜 |
| 305 | シリコン酸化膜 | 807 | 第1非晶質酸化タンタル膜 |
| 306 | 素子分離領域 | 808 | 第1多結晶酸化タンタル膜 |
| 307 | ゲート絶縁膜 | 809 | シリコン酸窒化膜 |
| 308 | ゲート電極 | 810 | 第2多結晶酸化タンタル膜 |
| 309 | 肩部 | 904 | 第1ゲート絶縁膜 |
| 501、601 | 半導体基板 | 905 | 第1多結晶酸化タンタル膜 |
| 502、602 | シリコン窒化膜 | 906 | フォトレジスト膜 |
| 503 | 非晶質酸化タンタル膜 | 907 | 第2多結晶酸化タンタル膜 |
| 504、604 | シリコン酸窒化膜 | 908 | 第2ゲート絶縁膜 |
| 505 | 多結晶酸化タンタル膜 | BL | ビット線 |
| 506 | ゲート電極 | M1 | 第1層配線 |
| 603 | 第1の非晶質酸化タンタル膜 | M2 | 第2層配線 |
| 605 a | 第1多結晶酸化タンタル膜 | M3 | 第3層配線 |
| 605 b | 第2多結晶酸化タンタル膜 | Qn | nチャネル型MISFET |
| 606 | タングステン膜 | Qp | pチャネル型MISFET |
| | | Qs | 選択MISFET |

【図7】

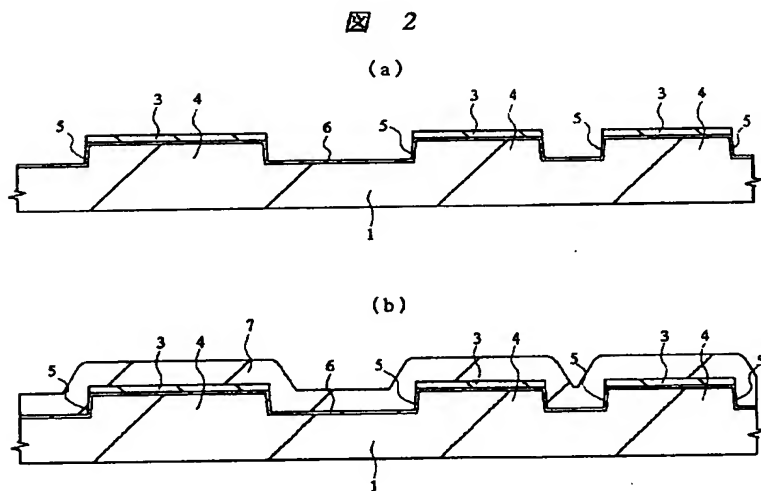
図 7



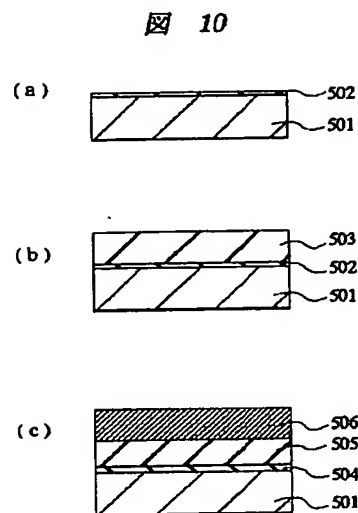
【図 1】



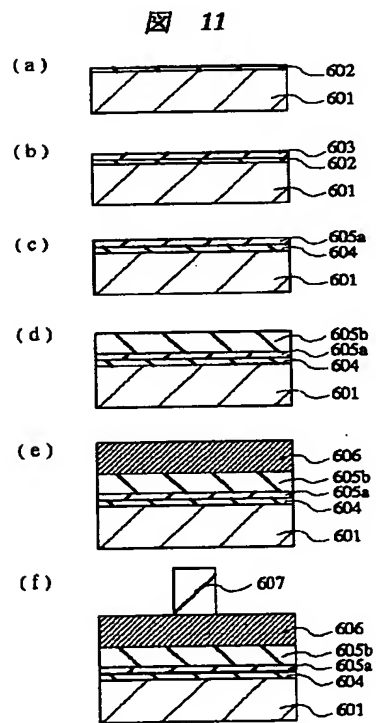
【図 2】



【図 10】

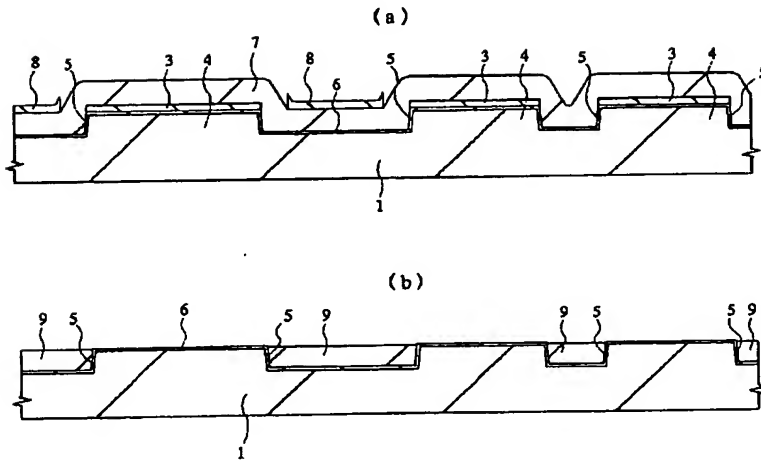


【図 11】



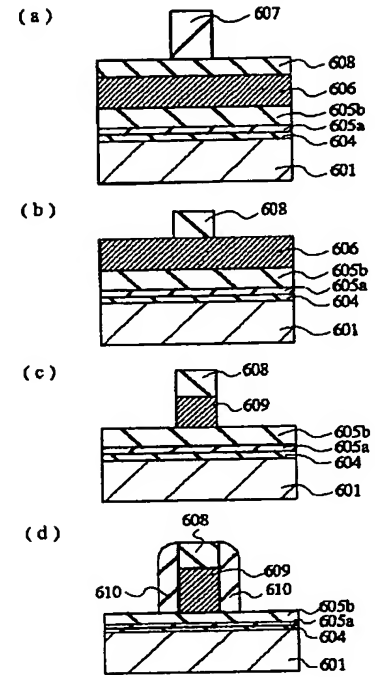
【図3】

図 3



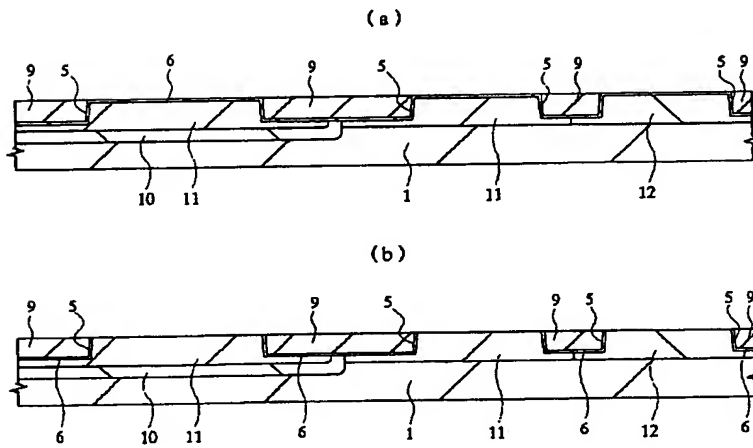
【図12】

図 12



【図4】

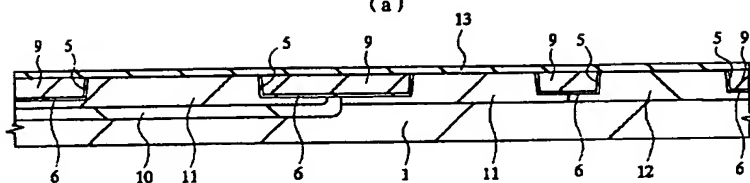
図 4



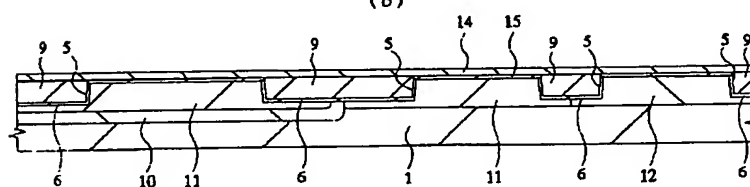
【図5】

5

(a)



(b)



【図6】

1: 半導体基板 14: 多結晶酸化タンタル膜

8: 炭子分離精造 15: シリコン酸化膜

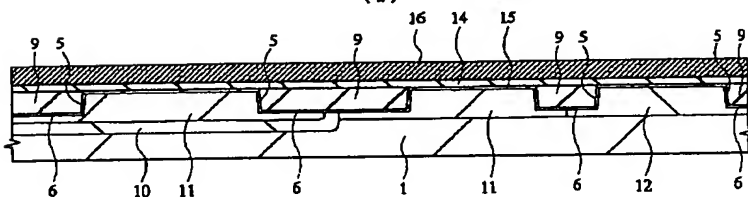
10: n型半導体領域 16: タングステン酸

11: p型ウェル 17: ゲート電極

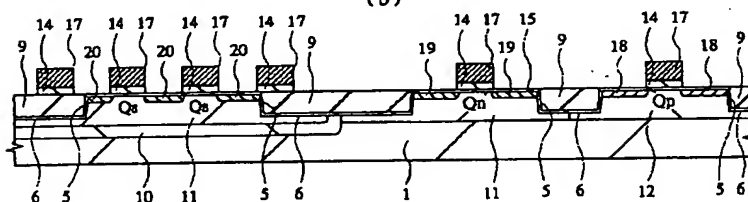
12: n型ウエル

12: h型ウエル

(B)

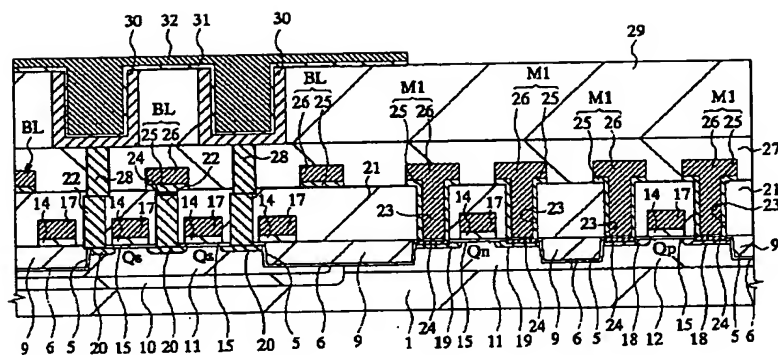


(b)



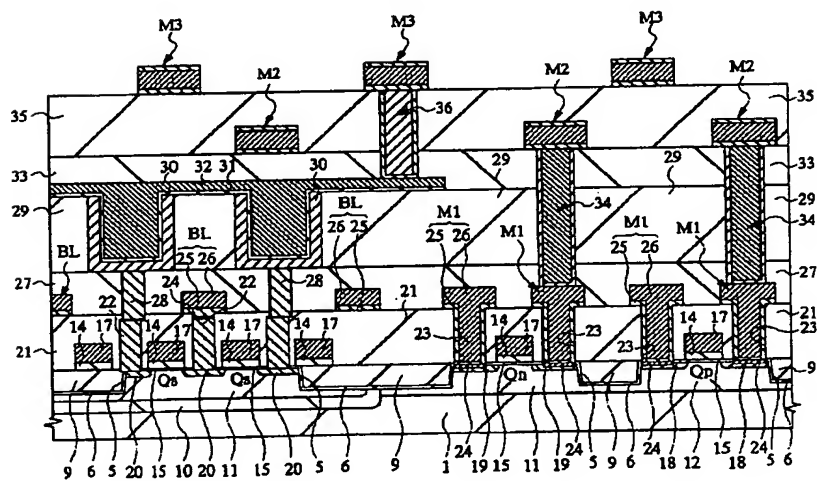
【図8】

図 8

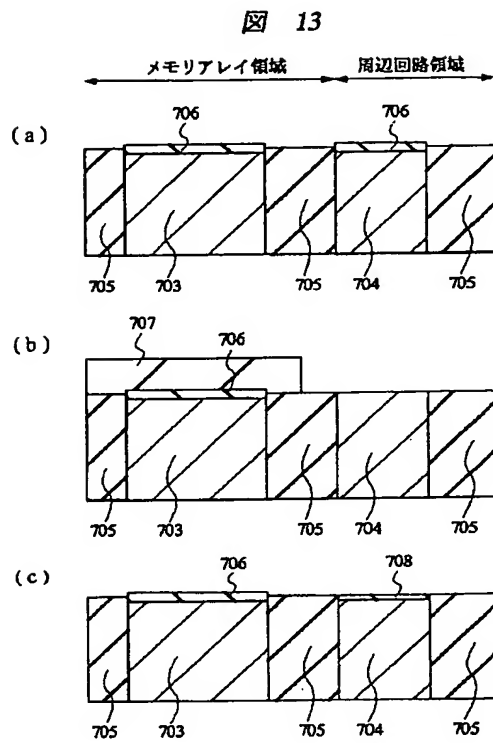


【図9】

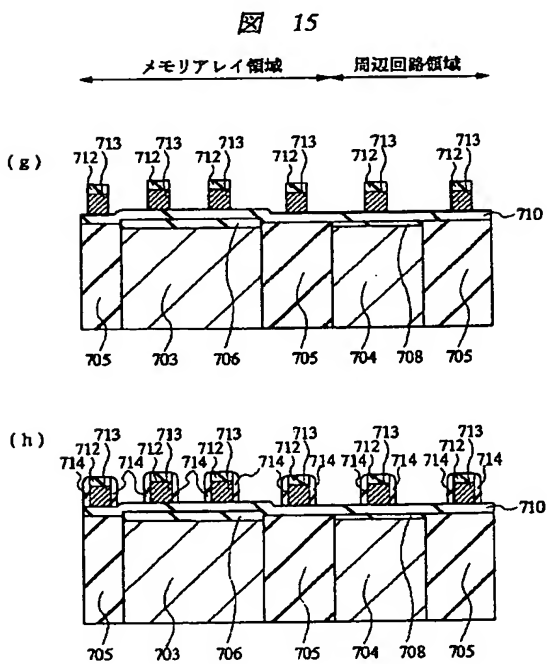
図 9



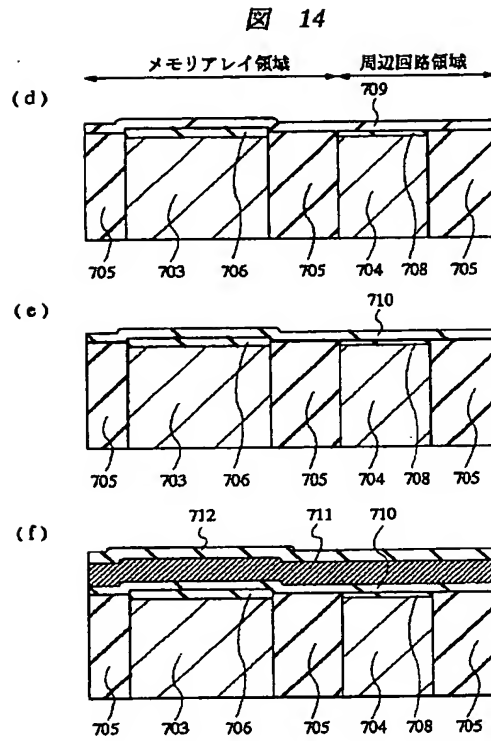
【図13】



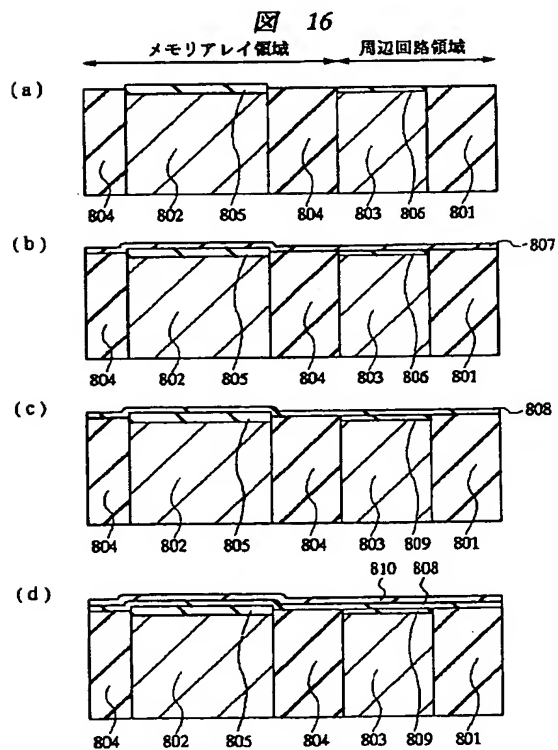
【図15】



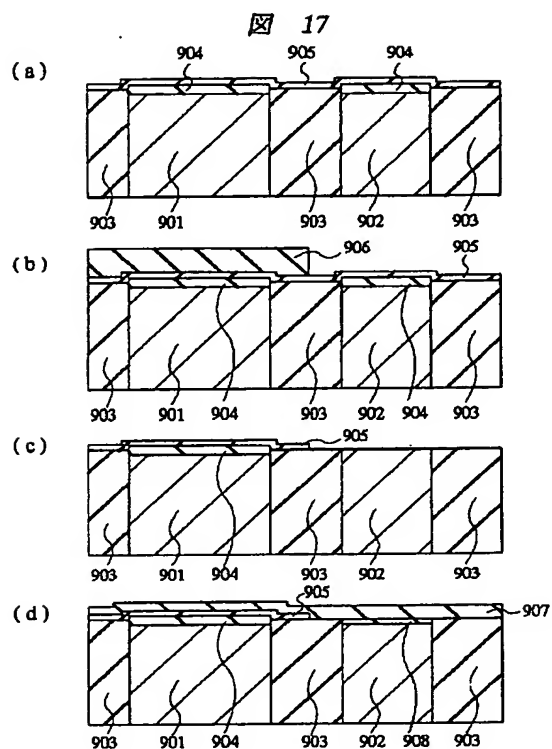
【図14】



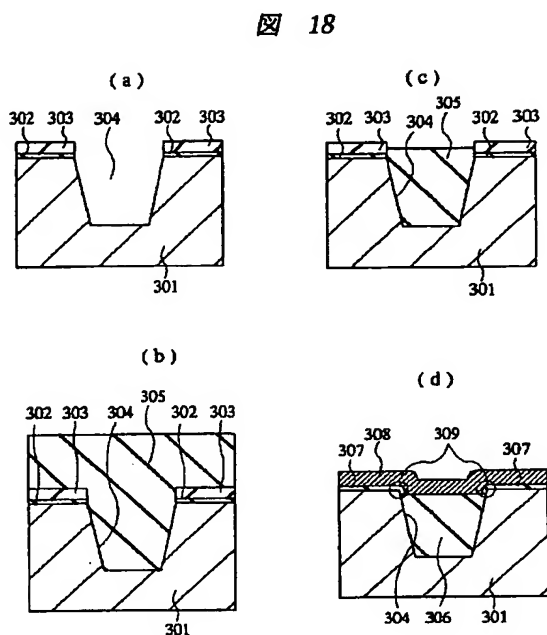
【図16】



【図17】



【図18】



フロントページの続き

Fターム(参考) 5F040 DA19 DB01 DB09 DC01 EC04
 ED01 ED03 EF02 EJ02 EJ03
 EJ04 EJ07 EK05 FA05
 5F083 AD01 AD10 AD24 AD48 BS03
 BS05 BS12 EP49 EP63 GA02
 GA24 GA27 GA28 GA30 JA04
 JA05 JA06 JA19 JA32 JA35
 JA39 JA40 JA56 KA20 MA05
 MA06 MA16 MA17 MA19 MA20
 NA01 PR03 PR05 PR12 PR21
 PR33 PR36 PR40 PR44 PR46
 PR54 PR56 ZA07 ZA08

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.